

CLIPPEDIMAGE= JP362226264A

PAT-NO: JP362226264A

DOCUMENT-IDENTIFIER: JP 62226264 A

TITLE: SELECTION SYSTEM FOR DATA TRANSFER DELAY TIME OF
MULTIPROCESSOR SYSTEM

PUBN-DATE: October 5, 1987

INVENTOR-INFORMATION:

NAME

SATO, RYUZO

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP61068291

APPL-DATE: March 28, 1986

INT-CL (IPC): G06F015/16;H04L011/20 ;H04Q003/545

ABSTRACT:

PURPOSE: To flexibly cope with the request for the wide range of data transfer delay time by dividing various request values of the data transfer delay time into ≥ 2 classes and deciding correspondence between each class and a load decentralized processor.

CONSTITUTION: The 1st processors $P1 \sim P4$ which decentralize load are connected to a optical bus 10 together with the 2nd processor Pa for control for load decentralizing selection. The processor Pa divides the various request values of data transfer delay time into ≥ 2 classes. Then one or more 1st processors are previously set in response to each class. Thus one of these 1st processors is selected based on the corresponding relation between the processors and classes when a request is given from a terminal TA for data transfer delay time. In such a way, the desired data transfer time is obtained.

COPYRIGHT: (C)1987,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-226264

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)10月5日

G 06 F 15/16

H 04 L 11/20

H 04 Q 3/545

1 0 2

A-2116-5B

A-7117-5K

A-7117-5K

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 マルチプロセッサシステムのデータ転送遅延時間選択方式

⑯ 特 願 昭61-68291

⑰ 出 願 昭61(1986)3月28日

⑱ 発 明 者 佐 藤 隆 三 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 芦 田 坦 外2名

明 細 書

1. 発明の名称

マルチプロセッサシステムのデータ転送
遅延時間選択方式

ロセッサは、データ転送遅延時間選択の要求があった際に、その要求に該当するクラスの1つの第1のプロセッサを選択することにより、データ転送遅延時間選択の要求を実現することを特徴とするマルチプロセッサシステムのデータ転送遅延時間選択方式。

2. 特許請求の範囲

1. データ転送遅延時間選択の機能を複数の第1のプロセッサを用い、負荷分散構成により実現するマルチプロセッサシステムであって、負荷分散選択制御用の少なくとも一つの第2のプロセッサを前記マルチプロセッサシステム内に設け、負荷分散を行なう上記複数の第1のプロセッサは、自らのデータ転送遅延時間に関する負荷情報を、上記第2のプロセッサに一定時間毎に通知し、上記第2のプロセッサは、あらかじめ、データ転送遅延時間の要求値により上記複数の第1のプロセッサを二つ以上のクラスにクラス分けをし、各クラスに対応する第1のプロセッサをあらかじめ定めておき、上記第2のプ

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はデータ通信網におけるデータ転送方式に関し、特に、マルチプロセッサシステムのデータ転送遅延時間選択方式に関する。

〔従来の技術〕

従来、データ転送遅延時間の選択方式における遅延時間選択のバリエーションは、同一プロセッサ内で優先及び非優先データ転送という制御で実現されていた。

〔発明が解決しようとする問題点〕

このため、データ転送遅延時間の各種要求元に対して、優先ランク付けが2段階となるため、

優先データ転送要求元のトラヒック量に依存して、データ転送遅延時間が変動するので、要求元に対して希望するデータ転送遅延時間を保証することが困難になるという欠点があった。

本発明の目的は、上述した欠点を除去することにある。

〔問題点を解決するための手段〕

本発明によれば、データ転送遅延時間選択の機能を複数の第1のプロセッサを用い、負荷分散構成により実現するマルチプロセッサシステムであって、負荷分散選択制御用の少なくとも一つの第2のプロセッサを前記マルチプロセッサシステム内に設け、負荷分散を行なう上記複数の第1のプロセッサは、自らのデータ転送遅延時間に関する負荷情報を、上記第2のプロセッサに一定時間毎に通知し、上記第2のプロセッサは、あらかじめ、データ転送遅延時間の要求値により上記複数の第1のプロセッサを二つ以上のクラスにクラス分けをし、各クラスに対応する第1のプロセッサをあらかじめ決めてお

き、上記第2のプロセッサは、データ転送遅延時間選択の要求があった際に、その要求に該当するクラスの1つの第1のプロセッサを選択することにより、データ転送遅延時間選択の要求を実現することを特徴とするマルチプロセッサシステムのデータ転送遅延時間選択方式が得られる。

即ち、本発明のマルチプロセッサシステムのデータ転送遅延時間選択方式は、第2のプロセッサが、データ転送遅延時間の各種要求値を2つ以上にクラス分けをし、各クラス毎に1つ以上の第1のプロセッサをあらかじめ対応づけておき、データ転送遅延時間の要求があったときに、上記対応関係から1つの第1のプロセッサを選択することにより、希望するデータ転送遅延時間を提供するものである。

〔実施例〕

次に、本発明について図面を参照して説明する。

第2図は本発明が適用されるパケット交換網

の網構成である。データ転送遅延時間を要求する端末TAはA局に收容され、通信相手の端末TBはB局に收容されている。A局とB局の局間伝送路として、a1, a2, b, cの4つの伝送路がある。

第1図は第2図におけるA局のマルチプロセッサシステム構成図である。光バス10に負荷分散を行なう複数の第1のプロセッサ(以下、負荷分散プロセッサと称す)P1, P2, P3, P4が接続され、これら負荷分散プロセッサP1~P4は局間伝送路a1, a2, b, cをそれぞれ有し、第2図のA局とB局の局間伝送路a1, a2, b, cと対応している。光バス10には更に、負荷分散選択制御用の第2のプロセッサ(以下、負荷分散選択制御プロセッサと称す)Paが接続されている。

第3図は負荷情報の転送方法を示したものであり、負荷分散プロセッサP1, P2, P3, P4の各々は、負荷分散選択制御プロセッサPaに光バス10を介して自らの負荷情報(伝送路、バッファメモリ、CPUの各使用率)を一定時間毎に信号

11, 12, 13, 14の各々を介して転送する。負荷分散選択制御プロセッサPaは各負荷分散プロセッサより一定時間おきに負荷情報を受信することにより、負荷の変動状況を把握できる。

第4図は負荷分散選択制御プロセッサ(第3図のPa)の構成図である。負荷情報は光バス10を介して、レシーバ23で取込み、信号分析部25により負荷情報信号を判別して負荷情報制御部32に蓄えられる。端末(第1図における端末TA)からのデータ転送遅延時間の要求はパケット交換網においては発呼要求パケットに表示されるが、その要求値によるクラス分けは、CPU44により行なわれる。このクラス分け処理は、例えば遅延時間を高速、中速、低速の3段階としたとき、遅延時間の要求値が高速であれば第1図における負荷分散プロセッサP4が選択され、低速ならば第1図における負荷分散プロセッサP3あるいはP1が選択されるようにあらかじめ対応関係をもたせてクラス情報を得ることにより、行なわれる。CPU44は負荷分散プロセッサ

選択要求を上記クラス情報と共に信号線35を介して送信制御部38に要求する。送信制御部38は負荷分散プロセッサ選択要求信号を信号線33を介して負荷情報制御部32に依頼する。

負荷情報制御部32の詳細機能は第5図に示している。第4図から離れて第5図を参照して説明をする。負荷分散プロセッサからの負荷情報は信号線31を介して受信制御部72が受信すると、演算処理ユニット75に通知される。演算処理ユニット75はクラス情報から負荷分散プロセッサを判別し、該当負荷分散プロセッサの負荷情報を更新する。記憶メモリ50内の負荷情報51, 52, 53, 54及び規制メモリ60の4種類の情報61, 62, 63, 64は第3図の負荷分散プロセッサP1, P2, P3, P4の4プロセッサに対応している。演算処理ユニット75はこの対応関係により記憶メモリ50の更新処理を行なう。記憶メモリ50は負荷分散プロセッサ毎に負荷情報種別として伝送路使用率を示すLINEとバッファメモリ使用率BUFとプロセッサ使用率CPUを

記憶する。規制メモリ60は規制値を固定的に記憶しており、記憶メモリ50の負荷情報種別と対応しており、各種別ごとに規制値以下の条件で要求源(端末TA)からのデータ転送遅延時間要求の可否を判定する。これらの判定は演算処理ユニット75により行なわれる。

ここで第4図に戻って説明する。負荷情報制御部32はデータ転送遅延時間要求の受け付け可否の判断を行ない、その結果を信号線33を介して送信制御部38に通知する。送信制御部38は上記可否の結果を信号線34を介してCPU44に通知する。結果が否であれば負荷分散選択制御プロセッサは切断パケットで表示して端末に通知する(第1図)。結果が可のときはCPU44は上述の発呼要求パケットをB局(第2図)宛に送信できることになる。発呼要求パケット情報はCPU44から送信制御部38, 送信バッファ制御部40, ドライバ42, 光バス10を介して目的の負荷分散プロセッサに送信され更に局間伝送路を経由してB局(第2図)宛に送信される。

第2図において、B局は発呼要求パケットをA局より受信すると、端末TB宛に着呼パケットが送信され、端末TBは着呼受付パケットを端末TA宛に送信され、端末TAは接続完了パケットを受信して呼の設定が完了する。この後、端末TAと端末TB間でパケット網が提供するデータ転送遅延時間の要求値が保証された通信バスを使用して通信が行なわれる。なお、第2図のB局ではA局の負荷分散プロセッサと相互に接続された負荷分散プロセッサがデータ転送処理を行なっているため、同等な負荷量になることは容易に類推される。

なお、第4図において、27は受信バッファ制御部、29は受信制御部、37は制御バスである。
〔発明の効果〕

以上説明したように本発明では、第2のプロセッサ(負荷分散選択制御プロセッサ)が、データ転送遅延時間の各種要求値を2つ以上のクラス分けをし、各クラス毎に第1のプロセッサ(負荷分散プロセッサ)との対応づけを定めて

おくことにより、データ転送遅延時間の幅広い要求に対して柔軟に対応が可能となり、第1のプロセッサ(負荷分散プロセッサ)の負荷量規制を設けることにより受け付けたデータ転送遅延時間の保証も実現できる効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例によるマルチプロセッサシステムの負荷分散構成図、第2図は本発明が適用されるパケット交換網の網構成を示した図、第3図は第1図のマルチプロセッサシステムにおける負荷分散プロセッサの負荷情報転送図、第4図は第1図の負荷分散選択制御プロセッサPaの機能ブロック図、第5図は第4図の負荷情報制御部32のブロック図である。

P1~P4…負荷分散プロセッサ(第1のプロセッサ),

Pa…負荷分散選択制御プロセッサ(第2のプロセッサ),

10…光バス,

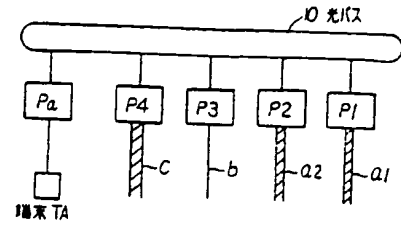
TA, TB ... 端末,

a1, a2, b, c ... 伝送路。

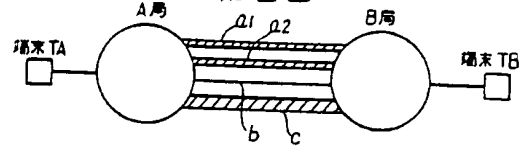
代理人 (7783) 弁理士 池田 憲保



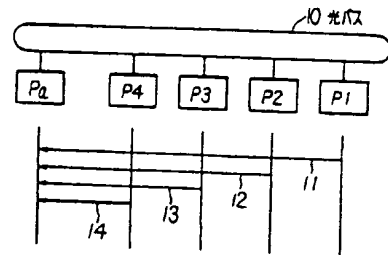
第1図



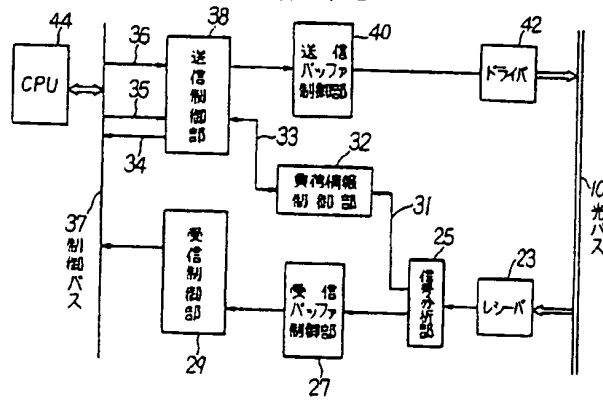
第2図



第3図



第4図



第5図

